

DOUBLE INTEGRATION TYPE ANALOGGDIGITAL CONVERTER

②

Publication number: JP55039455 (A)**Publication date:** 1980-03-19**Inventor(s):** NAKAMOTO AKIRA**Applicant(s):** KUBOTA LTD**Classification:**

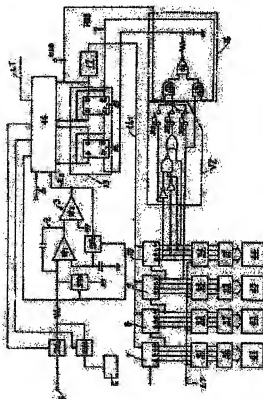
- International: H03M1/10; H03M1/52; H03M1/10; H03M1/50; (IPC1-7): H03K13/02; H03K13/20

- European:

Application number: JP19780113141 19780913**Priority number(s):** JP19780113141 19780913**Abstract of JP 55039455 (A)**

PURPOSE: To use only one-series counter as well as to realize the scaling switching by forming a series part through the serial connection of the decimal counter group, the setting part, the gate part and the decimal counter each.

CONSTITUTION: Clock signal CK1 is prepared along with clock signal CK2 containing the integer-fold pulses within its one cycle. And counter parts 7-10, 12, 13 and 16, which can count signals CK1 and CK2, are provided. Thus integration value of the input unknown voltage 5 is memorized 31-34 when signal CK1 is counted up to the prescribed amount, and at the same time the count value of part 7 is reset. Then the memory integral value is integrated toward zero by reference voltage 6, and also signal CK2 is counted at the counter part. And the count value of the counter parts is memorized in memory circuits 31-34 when the memory integral value reaches zero.; The counter part is reset when the full count value is counted in proportion to the pulse number of CK1. As a result, only one series of counters suffices to realize the scaling switch.



Data supplied from the esp@cenet database — Worldwide

⑫ 公開特許公報 (A)

昭55—39455

⑤ Int. Cl.³
H 03 K 13/20
13/02

識別記号

庁内整理番号
7125—5 J
7125—5 J

④ 公開 昭和55年(1980)3月19日

発明の数 1
審査請求 未請求

(全 6 頁)

④ 二重積分型アナログ・デジタル変換器

工株式会社久保寺工場内

② 特 願 昭53—113141

⑦ 出 願 人 久保田鉄工株式会社

② 出 願 昭53(1978)9月13日

大阪市浪速区船出町2丁目22番
地

② 発 明 者 中本昭

⑦ 代 理 人 弁理士 森本義弘

八尾市神武町2番35号久保田鉄

明 細 書

1. 発明の名称

二重積分型アナログ・デジタル変換器

2. 特許請求の範囲

1. 第1のクロック信号と該第1のクロック信号の一周期内に該第1のクロック信号の整数倍のバースをもった第2のクロック信号とを有し、第1のクロック信号および第2のクロック信号を計数可能なカウンタ部を設け、該カウンタ部により第1のクロック信号を所定取数計数した時に入力未知電圧の積分値を記憶すると共に前記カウンタ部の計数値をリセットし、次に前記記憶積分値を基準電圧でゼロに向って積分すると共に、前記カウンタ部により第2のクロック信号を計数し、前記記憶積分値がゼロに達した時に前記カウンタ部の計数値を記憶回路で記憶し、第1のクロック信号のバース数に比例し、定時間内にある第2のクロック信号数を計数した時に前記カウンタ部をリセットするよう構成したことを特徴とする二重積分型アナログ・

デジタル変換器。

3. 発明の詳細な説明

本発明はアナログ量の入力未知電圧をそれに比例したデジタル量に変換するアナログ・デジタル変換器の1つである二重積分型アナログ・デジタル変換器に関する。

従来の二重積分型アナログ・デジタル変換器は第1図に示すようにクロック信号(CX)を計数してオートゼロ期間(t_0)、入力未知電圧積分期間(t_1)および基準電圧積分期間(t_2)を規定するコントロール用カウンタ(1)と、基準電圧積分の開始から積分器(2)の出力がゼロに達するまでの期間の前記クロック信号(CX)を計数する表示用カウンタ(4)との2系列のカウンタを有し、アナログ・デジタル変換〔以下A—D変換と称す〕を行わないオートゼロ期間(t_0)において、コントロール用カウンタ(1)はスイッチ($8W_1$)($8W_2$)をオン状態にして積分器(2)を構成する演算増幅器(OP_1)およびコンパレータ(3)を構成する演算増幅器(OP_2)で閉ループを作り、それぞれのオフセットをコンデンサ(C_1)に充電し、

(1)

(2)

入力未知電圧検分期間(t_1)と基準電圧検分期間(t_2)においては前記スイッチ(SW_1)(SW_2)をオフ状態とすると共にスイッチ(SW_1)(SW_2)によって検分器(2)の入力を入力未知電圧印加端子(6)と入力未知電圧(V_{in})と逆極性の一定電圧($-V_{ref}$)を出力する基準電圧発生部(4)とに順次接続し、前記コンデンサ(C_1)に蓄えられたオフセットを差引いてA/D変換を行い、前記期間(t_2)完了後は再びオートゼロ期間(t_3)に移るようコントロールカウンタ(1)が制御する。更に表示用カウンタ(4)のスケーリングを切換えるには、該カウンタ(4)へのクロック信号数をまびき(例えば、5クロック入力されたとき1クロックが出力される)回路を増設し、例えば基準フルカウント値10000のアナログ・デジタル変換器〔以下A-D converterと称す〕において $\frac{1}{2}$ のまびき回路を設けてフルカウント値2000(分解能2000)に変更したり、また $\frac{2}{5}$ のまびき回路を設けてフルカウント値4000(分解能2000)に変更したりしていた。そのため多系列のカウンタ回路を必要とし、構成が複雑なものであった。

(3)

10進カウンタ(10)の出力端子(10)の信号と第1の設定部(1)の出力(1)の信号を択一的に出力する。よって10進カウンタ(11)〜(14)と第1の設定部(1)とゲート部(4)と4進カウンタ(3)とは直列接続されて1系列のカウンタ部を構成している。また(1)は準安定マルチバイブレータで、1系列のカウンタ部の最上位桁の信号(MSB)としてのD型フリップフロップ(4)のQ出力が“H”に反転したタイミングにトリガされ、カウンタ部前段としての10進カウンタ(11)〜(14)の内容を一旦クリアするように作用するクリア信号(CL_1)を出力する。第4図は前記1系列のカウンタ部への入力信号発生部を示し、(4)は第1、第2の発振器で、それぞれ第5図(1)に示すように約12kHz〜15kHzの繰返し信号(f_1)と約1MHzの繰返し信号(f_2)を出力する。(4)はJ-Kマスタ・スレーブフリップフロップ(4)とインバータ(4)とから構成されるフリップフロップで、第2の発振器(4)の出力信号(f_2)をクロック信号(CP)とし、第1のクロック信号(CK_1)として信号(f_1)に同期した繰返し信号(f_1)を出力する。(4)は前記D型フリッ

(10)

そくて本発明は一系列のカウンタで読み、かつスケーリングを切換えることができる変換器を提供するものである。

以下本発明の一実施例を図面に基づいて説明する。(1)〜(14)はそれぞれ1-2-4-8、コードの出力端子(A)(B)(C)〔第7図〕とクリア端子(CL)を有する10進カウンタで最大計数値“9999”のカウンタ部前段を構成する。(2)は第1の設定部で、 10^3 の位の10進カウンタ(9)の出力端子(9)の信号と 10^2 の位の10進カウンタ(10)の出力端子(A)(B)(C)の信号とを入力し、該出力(1)にはスイッチ(SW_{10})(SW_9)(SW_8)をそれぞれ択一的に選択することによって、カウンタ部前段への入力信号数が1000パルス毎、2000パルス毎、5000パルス毎に論理レベル“H”から“L”に反転する。(3)は2つのD型フリップフロップ(4)が直列接続されて成るカウンタ部後段としての4進カウンタ、(4)は第1の設定部(3)と4進カウンタ(3)の間に直列に介装されたゲート部で、D型フリップフロップ(4)のうち後段のD型フリップフロップ(4)のQ出力とQ出力を制御信号として、

(4)

フリップフロップ(4)の出力信号(MSB)を制御信号としてJ-Kマスタ・スレーブフリップフロップ(4)の出力をオン・オフ制御するアンドゲート、(4)は第2の設定部で、クリア端子(CL)を有し、かつアンドゲート(4)の出力信号をクロック信号(CP)とするD型フリップフロップ(4)と、該D型フリップフロップ(4)のQ出力を制御信号として前記繰返し信号(f_1)の通過をオン・オフ制御するアンドゲート(4)と、D型フリップフロップ(4)のQ出力が“L”になる度に内容がクリアされアンドゲート(4)を通過した第2のクロック信号(CK_2)としての繰返し信号(f_2)を計数する10進カウンタ(4)と、該10進カウンタ(4)とD型フリップフロップ(4)のクリア端子(CL)との間に介装され、スイッチ(SW_{10})(SW_9)(SW_8)とを択一的に選択することによってアンドゲート(4)を通過した繰返し信号(f_2)のパルス数が1パルス、2パルス、5パルスのタイミングでそれぞれD型フリップフロップ(4)をクリアし、アンドゲート(4)を強制的にオフ状態とする一歩検出部(4)と、前記4進カウンタ(3)の出力信号(MSB)を制御信号

(10)

とし繰返し信号(E_1)の通過をオン・オフ制御するアンドゲート回とから構成され、オフゲート回を介してアンドゲート回との出力が10進カウンタ(1)の入力に加えられる。第6図(4)(5)(6)はそれぞれ繰返し信号(E_1)と、スイッチ(SW_{10})(SW_{11})をそれぞれ選択して選択した場合のアンドゲート回出力の第2のクロック信号(CK_2)との関係を示す。また第5図において(4)〜(6)は配線を命令されたタイミングにそれぞれ10進カウンタ(1)〜(4)の内容をラッチするラッチ回路で、ラッチ回路(4)〜(6)の内容はデコードドライバ回(7)を介して表示器(4)〜(6)によってデジタル表示される。回は制御部でカウンタ部後段のD型フリップフロップ(4)(5)のそれぞれのQ出力、Q出力とコンパレータ(OP_2)のゼロクロス検出信号(EO)および前配繰返し信号(E_1)を入力し、複分器(2)の入力回路とオートゼロ回路のスイッチ(SW_1)(SW_2)(SW_3)(SW_4)の制御用信号およびラッチ回路(3)(1)〜(3)(4)に配線を命令するラッチ信号(LT)を出力する。

次に第8図に基づいて動作を説明する。電源投

(7)

て入力複分期間(t_1)に移る。入力複分期間(t_1)に移ると複分器(2)は入力未知電圧(V_{in})の複分を開始する。カウンタ部前段が第1のクロック信号(CK_1)を更に1000パルス計数し、計数値が'2000'に達すると 10^3 の位の10進カウンタ(8)の出力端子(Q)が再び'H'から'L'に反転し、4進カウンタ(3)にクロックパルスを入力する。そのため前段のD型フリップフロップ(4)のQ出力が'H'に反転しかつ後段のD型フリップフロップ(5)のQ出力が'H'に反転する。

制御部回はこれによって入力複分期間(t_1)の終了〔基準電圧複分期間(t_2)の開始〕を検出し、スイッチ(SW_5)に代ってスイッチ(SW_6)をオン状態として入力未知電圧(V_{in})の複分値を記憶した複分器(2)の入力を基準電圧発生部(6)に接続し、ゼロに向かって複分を開始する。またこれと共に信号(MBB)に代って信号(MBB)が'H'に反転するため、単安定マルチバイブレータ(10)がクリア信号(CL)を出力し、10進カウンタ(7)〜(4)の内容を一旦クリアする。ここで、第1、第2の設定部(4)(5)においてそれぞ

(8)

れ後各フリップフロップは一旦リセットされ、動作開始のタイミング(T_1)において一連のカウンタ部の最上位桁信号(MSB)〔第8図(c)〕は'L'(MSB は'H')の状態にある。そのため入力信号発生部(4)のアンドゲート回(4)のうちアンドゲート回がオン状態となり、オフゲート回を介してカウンタ部前段の10進カウンタ(7)に第1のクロック信号(CK_1)としての繰返し信号(E_1)を出力する〔第2図の区間(t_1)〜(t_2)〕。この時制御部回(4)は演算増幅器(OP_1)(OP_2)のオフセット等を検出するためスイッチ(SW_1)(SW_2)をオン状態としてオートゼロ期間(t_3)にしている。カウンタ部前段が第1のクロック信号(CK_1)を1000パルス計数すると、 10^3 の位の10進カウンタ(8)の出力端子(Q)が'H'から'L'に反転し、ゲート部(4)のアンドゲート(47a)およびノアゲート回を介してカウンタ部前段のD型フリップフロップ(4)をセットする。これによってD型フリップフロップ(4)のQ出力は'H'に反転し、制御部回(4)はオートゼロ期間(t_3)の終了を検出して、スイッチ(SW_1)(SW_2)に代ってスイッチ(SW_3)をオン状態とし、

(6)

れスイッチ(SW_{10})(SW_{11})が選択されていたと仮定すると、入力信号発生部の10進カウンタ(8)の内容が'1'となったタイミングにナンドゲート回(4)の入力回が全て'H'に反転し、スイッチ(SW_{11})を介してD型フリップフロップ(4)をリセットし、第2のクロック信号(CK_2)として第1のクロック信号(CK_1)の一周期に繰返し信号(E_2)の1つのパルスだけを第1のクロック信号(CK_1)に代ってカウンタ部前段に出力する。カウンタ部前段が該第2のクロック信号(CK_2)を1000パルス計数する度に、スイッチ(SW_{10})とナンドゲート(47b)およびノアゲート回を介して、4進カウンタ(3)にクロック信号(CL)を出力し、第2のクロック信号(CK_2)を2000パルス計数したタイミングに、後段のD型フリップフロップ(5)のQ出力が'H'から'L'に反転し、基準電圧複分期間を終了する。なお、コンパレータ(3)がゼロクロスを検出するタイミング(t_4)は第2のクロック信号(CK_2)を2000パルス計数する(t_4)以前のタイミングとなるように基準電圧の大きさ、入力未知電圧の大きさ、入力未知電圧複分期間

(9)

(t_1)が決められているため、制御部はコンパレータ(3)が積分器(2)出力のゼロクロスを検出するとその直後の第1のクロック信号(CK_1)のタイミング(t_2)〔第8図(イ)〕から Δt だけ遅れてラッチ信号(LT)を出力し、ラッチ回路(8)～(14)はそのタイミングのカウント部前段の内容を記憶し、表示器(4)～(14)がこれをデジタル表示する。よってスイッチ(SW_{10})(SW_{14})を選択した場合にはデジタル変換量としてのフルカウント値が「2000」となる。このフルカウント値「2000」を基準フルカウント値として、基準フルカウント値の2倍のフルカウント値が必要な場合にはスイッチ(SW_{10})(SW_{14})に代って(SW_{10})(SW_{14})を選択することによって、第1のクロック信号(CK_1)の一周期当り第2のクロック信号(CK_2)が第6図(四)のようにスイッチ(SW_{14})の場合に比べて2倍となり、かつ基準電圧積分期間(t_1)において、カウンタ部後段にはカウンタ部前段が第2のクロック信号(CK_2)〔第6図(四)〕を2000パルス計数する度にクロック信号が入力され、カウンタ部前段の計数値が「4000」に達すると基準電圧

11

よってフルスケール値を変更するよう構成したため、カウンタ部を一列列し必要とせず、またカウンタ部の内容をラッチするタイミングは積分器(2)出力がゼロクロスした直後の第1のクロック信号(CK_1)のタイミングで行うため、フルスケール値を変更してもその分解能は変化するものでない。

以上説明のように本発明によると、第1のクロック信号と該第1のクロック信号の一周期内に該第1のクロック信号の整数倍のパルスをもった第2のクロック信号とを有し、第1、第2のクロック信号を計数可能なカウンタ部を設け、該カウンタ部により第1のクロック信号を所定設定数計数した時に入力未知電圧の積分値を記憶すると共に前記カウンタ部の計数値をリセットし、次に前記記憶積分値を基準電圧でゼロに向かって積分すると共に前記カウンタ部により第2のクロック信号を計数し、前記記憶積分値がゼロに達した時に前記カウンタ部の計数値を記憶回路で記憶し、第1のクロック信号のパルス数に比例し一定時間内にあ

12

積分期間を終了する。また、基準フルカウント値の5倍のフルカウント値が必要な場合には、第1、第2設定部(10)のスイッチ(SW_{10})(SW_{14})を選択することによって、基準電圧積分期間(t_1)において、第1のクロック信号(CK_1)の一周期当り5つのパルスをもった第2のクロック信号(CK_2)〔第6図(四)〕がカウンタ部前段に入力され、カウンタ部前段の10³の位の10進カウンタ(1)の内容が「5」およびオーバーフローしたことをそれぞれ出力端子(4)(9)と出力端子(10)とから検出し、5000パルス計数する度にカウンタ部後段にクロックが入力され、計数値が「10000」に達すると基準電圧積分期間を終了する。基準電圧積分開始から積分器出力がゼロクロスするまでの時間(t_2)が同じであるにもかかわらず、第1のクロック信号(CK_1)の一周期当りの第2のクロック信号(CK_2)の数をフルスケール値に比例して Δ (但し Δ は正の整数)倍にし、かつ基準電圧積分期間(t_1)の終了を検出するカウンタ部前段の設定値を基準フルスケール値の Δ 倍に変更してカウンタ部後段をカウントアップすること

13

る第2のクロック信号数に比例したフルカウント値を計数した時に前記カウンタ部をリセットするように構成したため、基準電圧および基準電圧積分期間が同じであるにもかかわらず、容易にフルカウント値を変更することができ、また2系列以上の多系列のカウントを必要としない極めて簡単な回路構成をとることができる。

4. 図面の簡単な説明

第1図は従来の二重積分型アナログ・デジタル変換器の構成図、第2図は積分器出力波形図、第3図第4図は本発明による二重積分型アナログ・デジタル変換器の構成図、第5図～第8図は要部波形図を示す。

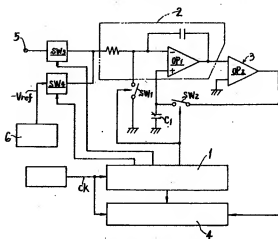
(2)…積分器、(3)…コンパレータ、(6)…入力未知電圧印加端子、(8)…基準電圧発生部、(7)～(14)…カウンタ部前段を構成するカウンタ、(1)…第1の設定部、(13)…カウンタ部後段を構成するカウンタ、(11)…単安定マルチバイブレータ、(12)…第1の発振器、(14)…第2の発振器、(10)…第2の設定部、(1)～(14)…ラッチ回路、(1)～(14)…デコーダ・ドライバ、

14

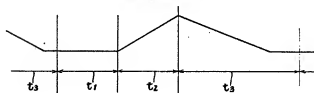
第 1 図

80~84…表示器、(CK₁)…第1のクロック信号、
 (CK₂)…第2のクロック信号、(LT)…ラッチ信号、
 (CL₁)…クリア信号、(MSB)…カウンタ部の最上位
 桁信号

代理人 森 本 義 弘

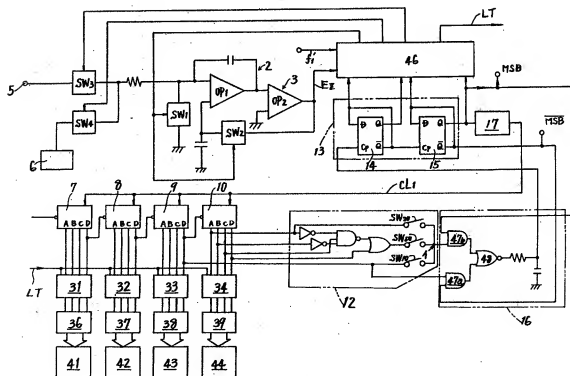


第 2 図

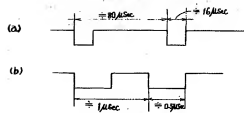


14

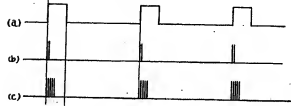
第 3 図



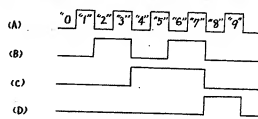
第 5 図



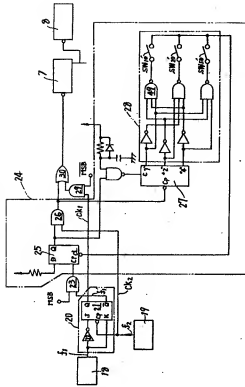
第 6 図



第 7 図



第 4 図



第 8 図

